

**本科实验报告**

|  |  |
| --- | --- |
| 课程名称： | 数字逻辑电路设计 |
| 姓 名： | 庄毅非 |
| 学 院： | 计算机科学与技术学院 |
| 专 业： | 计算机 |
| 邮 箱： | [zhuangyf@zju.edu.cn](mailto:zhuangyf@zju.edu.cn) |
| QQ 号： | 1099665018 |
| 电 话： | 17346399235 |
| 指导教师： | 洪奇军 |
| 报告日期： | 2023年 12月 5日 |

**浙江大学实验报告**

课程名称： 数字逻辑设计 实验类型： 综合

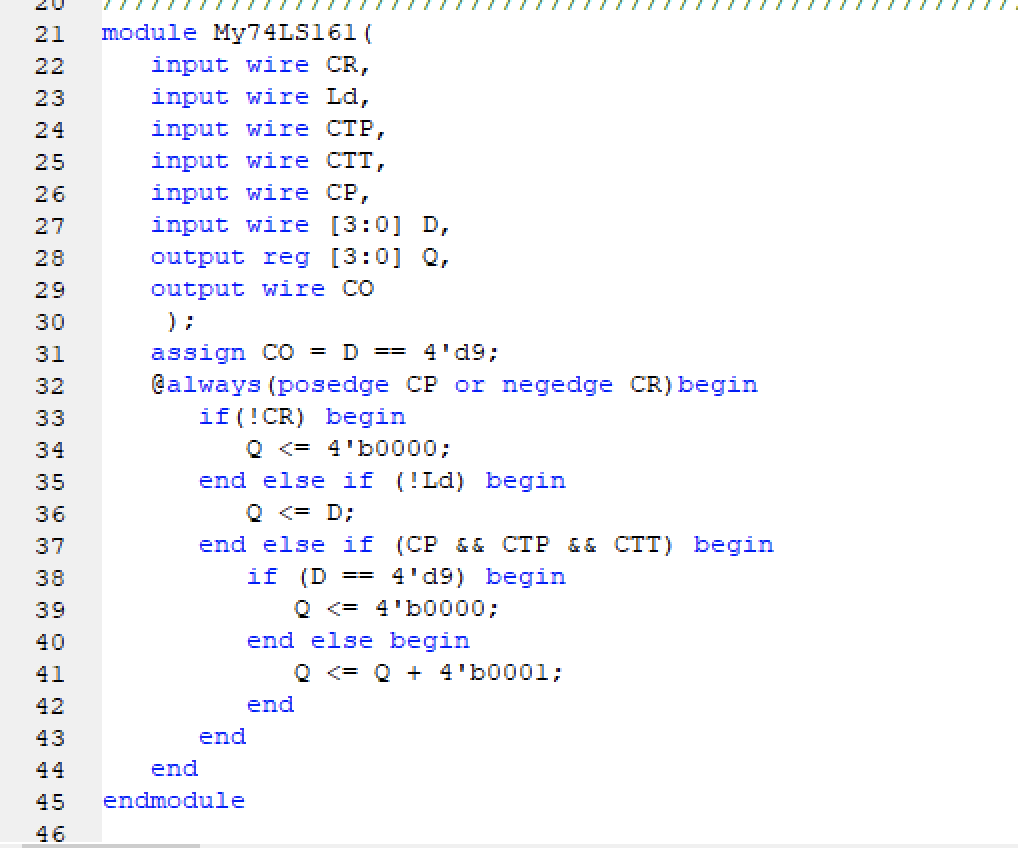
实验项目名称： 计数器、定时器设计与应用

学生姓名： 庄毅非 学号： 3200105872 同组学生姓名：

实验地点： 紫金港东四509室 实验日期： 2023 年 12 月 5 日

# 操作方法与实验步骤

#### 1.1 编写My74LS161文件



#### 1.2 进行激励测试

激励代码如下

initial begin

CR = 0;

D = 0;

CTP = 0;

CTT = 0;

Ld = 0;

CP = 1;

#100;

CR = 1;

Ld = 1;

D = 4'b1100;

CTT = 0;

CTP = 0;

#30 CR = 0;

#20 CR = 1;

#10 Ld = 0;

#30 CTT = 1;

CTP = 1;

#10 Ld = 1;

#510;

CR = 0;

#20 CR = 1;

#500;

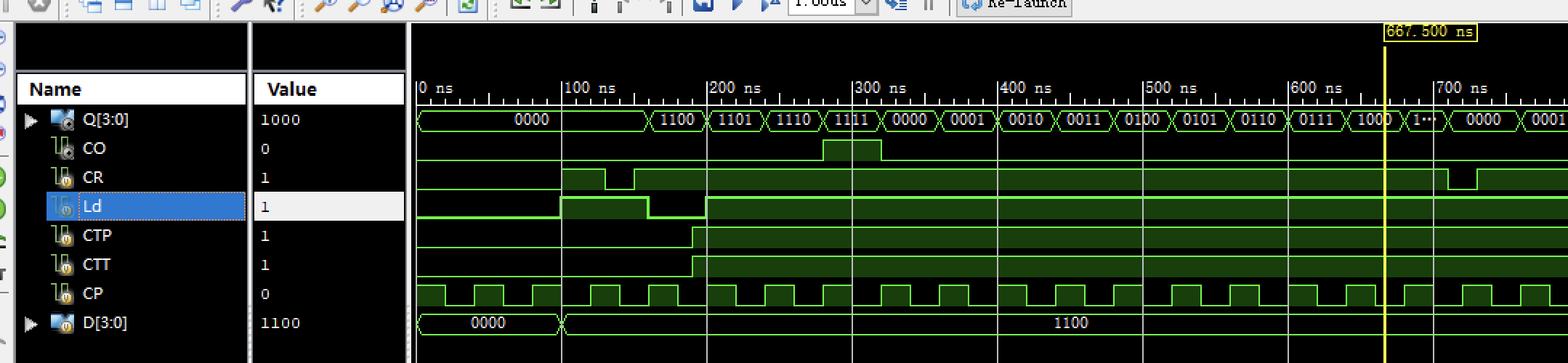
end

always begin

#20; CP = 0;

#20; CP = 1;

end



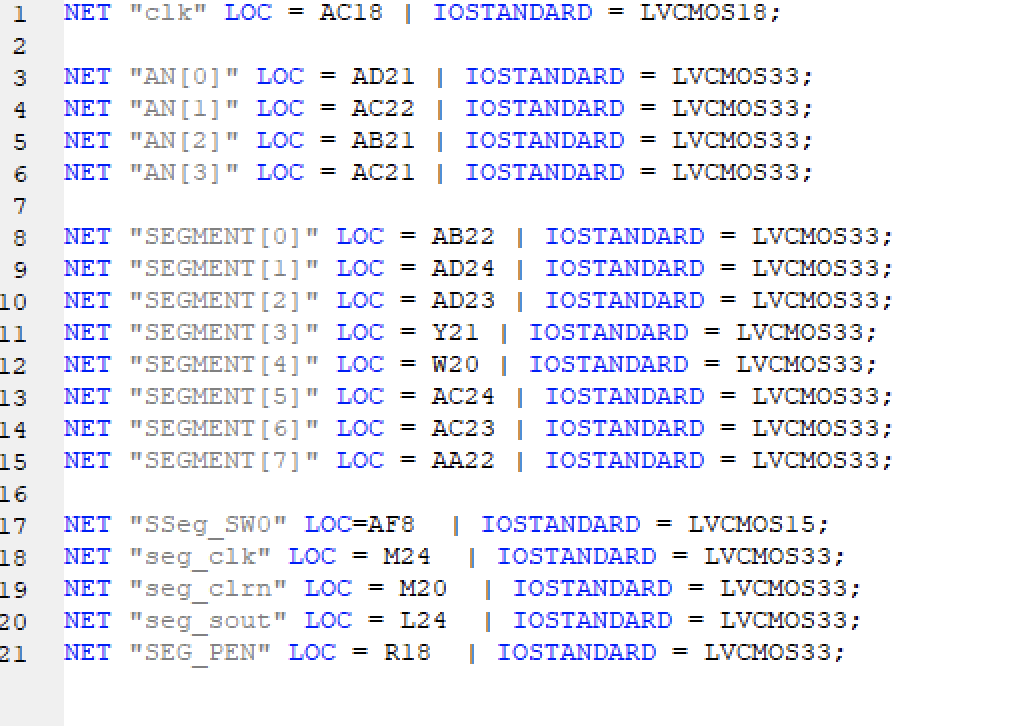
#### 1.3 编写时钟

创建top模块，代码如下



#### 1.4 编写引脚文件

引脚文件代码如下



1. 下板实验

以下是实验中拍摄的计时器的信息，其中后两位表示分钟，前两位表示小时。经过观测，时钟功能正常运行。

|  |  |  |
| --- | --- | --- |
|  |  |  |